

PAT-NO: JP407202018A  
DOCUMENT-IDENTIFIER: JP 07202018 A  
TITLE: SEMICONDUCTOR STORAGE DEVICE  
PUBN-DATE: August 4, 1995

INVENTOR-INFORMATION:

NAME  
TAKENAKA, MOTOHIRO  
TANAKA, TAKAYUKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A
NEC KANSAI LTD	N/A

APPL-NO: JP05337427

APPL-DATE: December 28, 1993

INT-CL (IPC): H01L021/8242, H01L027/108 , H01L029/78

ABSTRACT:

PURPOSE: To increase electrode area and storage capacity, and realize an LDD structure transistor without increasing the memory cell area of a DRAM and complexing a process.

CONSTITUTION: After a gate electrode is formed, a P-type silicon substrate 1 is etched by using an oxide film on a gate electrode 7a and a field oxide film as masks, and a source drain region having a step-difference is formed in a semiconductor substrate. Thereby the electrode area can be increased by scarcely increasing the process, and without increasing the

memory cell area.

COPYRIGHT: (C)1995,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-202018

(43)公開日 平成7年(1995)8月4日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8242 27/108 29/78		7210-4M 7210-4M	H 0 1 L 27/ 10 3 2 5 H 3 2 5 C	
審査請求 未請求 請求項の数 2 O L (全 6 頁) 最終頁に続く				

(21)出願番号 特願平5-337427

(22)出願日 平成5年(1993)12月28日

(71)出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(71)出願人 000156950

関西日本電気株式会社  
滋賀県大津市晴嵐2丁目9番1号

(72)発明者 竹中 基博

東京都港区芝五丁目7番1号 日本電気株式会社社内

(72)発明者 田中 孝幸

滋賀県大津市晴嵐二丁目9番1号 関西日本電気株式会社社内

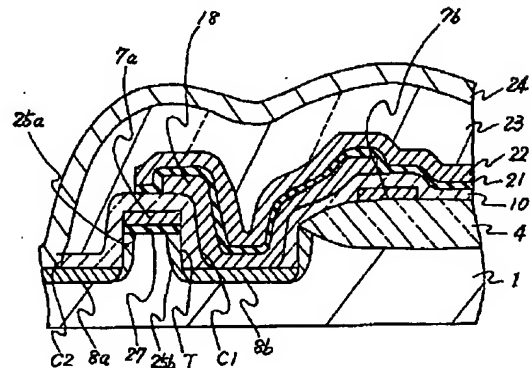
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】DRAMのメモリセル面積を増加させることなく又、工程を複雑にさせることなく、電極面積を増やし、メモリ容量を増加するとともにLDD構造トランジスタを実現する。

【構成】ゲート電極形成後、ゲート電極7a上の酸化膜及びフィールド酸化膜をマスクにp型シリコン基板1をエッチングし、ソースドレイン領域を半導体基板内に段差をもって形成することにより、工程をほとんど増やすことなく、又メモリセル面積を増加させることなく、電極面積を増やすことができる。



1: P型シリコン基板 4: フィールド酸化膜 7a: ゲート電極  
7b: 隣接ワード線 8a, 8b: n<sup>+</sup>型不純物領域  
25a, 25b: n<sup>-</sup>型不純物領域 18: ストレージード  
21: キャパシタ絶縁膜 22: セルプレート電極 23: 層間絶縁膜  
24: ビット線

## 【特許請求の範囲】

【請求項1】 第1導電型の半導体基板の表面部に設けられた素子分離構造体で区画された活性領域で前記半導体基板の表面とゲート絶縁膜を介して交差するゲート電極、前記ゲート電極および前記素子分離構造体と自己整合して前記半導体基板に設けられた溝の底部の前記半導体基板領域に設けられた一対の第2導電型の高濃度ソース・ドレイン領域および前記溝の側部の前記半導体基板領域に設けられた第2導電型の低濃度ソース・ドレイン領域を有するトランジスタと、前記トランジスタの設けられた前記半導体基板を被覆する第1の絶縁膜の、前記一対の高濃度ソース・ドレイン領域の一方の上に設けられた第1のコンタクト孔で前記一方の高濃度ソース・ドレイン領域に接続するストレージ電極、前記ストレージ電極を被覆するキャパシタ絶縁膜および前記キャパシタ絶縁膜を被覆するセルプレート電極を有するキャパシタと、前記セルプレート電極を被覆する第2の絶縁膜の、前記一対の高濃度ソース・ドレイン領域の他方の上に設けられた第2コンタクト孔で前記他方の高濃度ソース・ドレイン領域に接続するビット線とを有するDRAMセルを備えることを特徴とする半導体記憶装置。

【請求項2】 低濃度ソース・ドレイン領域のチャネル側に半導体基板より高濃度の第1導電型不純物領域が設けられている請求項1記載の半導体記憶装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体記憶装置に関し、特に1トランジスタ1キャパシタ型のDRAMセルを有する半導体記憶装置に関する。

【0002】

【従来の技術】従来の技術について図を参照して説明する。これは特開平3-104273号公報に開示されているものである。図5(a)に示すように、p型シリコン基板1上に酸化シリコン膜2と窒化シリコン膜3を順次形成する。次に酸化シリコン膜2と窒化シリコン膜3をフィールド酸化膜を形成すべき部分に開孔部ができる様にフォトリソ法によりパターニングする。

【0003】次に、図5(c)に示すように、熱酸化処理によりp型シリコン基板1の主表面にフィールド酸化膜4を形成する。

【0004】その後、図5(d)に示すように、酸化シリコン膜2と窒化シリコン膜3を除去する。次に、図5(e)に示すように、ゲート酸化膜27を形成し、さらに全面にポリシリコン層5をCVD法により形成し、その上にSiO<sub>2</sub>膜6を形成する。

【0005】その後、図5(f)に示すように、ポリシリコン層5とSiO<sub>2</sub>膜6をエッチングしてゲート電極(ワード線を兼ねる)7a、7bを形成する。

【0006】次にリンをイオン注入して、図5(g)に示すように、ゲート電極7aの両側に位置するp型シリ

コン基板1の表面にn型不純物領域8a、8bを自己整合的に形成する。全面にSiO<sub>2</sub>膜9をCVD法により形成する。

【0007】次に図5(h)に示すように、SiO<sub>2</sub>膜9の一部が側壁部分に残る様にSiO<sub>2</sub>膜9をエッチングする。そしてSiO<sub>2</sub>膜10を全面に形成する。それから、図6(a)に示すようにn<sup>+</sup>型不純物領域8bの表面を露出させるように、フォトリソ法によりSiO<sub>2</sub>膜10をエッチングする。

【0008】次に図6(b)に示すようにストレージ電極の先驱体となる材料層11(ポリシリコン)をCVD法により形成する。そして図6(c)に示すようにレジスト膜12を塗布し図6(d)に示すようにパターニングし、図6(e)に示すようにフォトリソ法を行いポリシリコン11を所定の形状にエッチングして上部突出部材15を形成する。同時にソース・ドレイン領域8bの表面もエッチングする。

【0009】次にリン等のn型不純物イオンを垂直方向から注入して、図6(f)に示すように、n<sup>+</sup>型不純物領域8bを補修する。

【0010】次に、図7(a)に示すように、全面にポリシリコン層17をCVD法により堆積する。そしてポリシリコン層を所定の形状にパターニングすることにより図7(b)に示すようにストレージ電極18を形成する。それから、その上にSi<sub>3</sub>N<sub>4</sub>薄膜を形成し、酸化することにより、図7(c)に示すように、キャパシタ絶縁膜となるべき容量膜19を形成する。更にその上に、ポリシリコン層20をCVD法により堆積する。

【0011】次に容量膜19及びポリシリコン層20を所定の形状にパターニングする事により図7(d)に示すようにキャパシタ絶縁膜21とセルプレート電極22を形成する。

【0012】その上に層間絶縁膜(SiO<sub>2</sub>)23をCVD法により堆積し、n<sup>+</sup>不純物領域の表面を露出させるためのコンタクトホールCを形成する。次にタングステンシリサイドをスパッタ法により堆積する。これをビット線形状にパターニングすると、ビット線24が得られる。

【0013】

【発明が解決しようとする課題】この従来のメモリセルの構造ではメモリ容量を増やすためにストレージノード上に上部突出部材を有しているため凹凸が大きくなり、層間絶縁膜の表面の平坦化が困難となりビット線の加工精度が悪くなるという問題点があった。また上部突出部材の形成のためのリソグラフィー工程が必要となり、製造が複雑となるという問題点もある。更には、LDD構造を有していないので短チャネル効果を抑制できず、微細化に不適であるという問題点もある。

【0014】

【課題を解決するための手段】本発明の半導体記憶装置

は、第1導電型の半導体基板の表面部に設けられた素子分離構造体で区画された活性領域で前記半導体基板の表面とゲート絶縁膜を介して交差するゲート電極、前記ゲート電極および前記素子分離構造体と自己整合して前記半導体基板に設けられた溝の底部の前記半導体基板領域に設けられた一対の第2導電型の高濃度ソース・ドレイン領域および前記溝の側部の前記半導体基板領域に設けられた第2導電型の低濃度ソース・ドレイン領域を有するトランジスタと、前記トランジスタの設けられた前記半導体基板を被覆する第1の絶縁膜の、前記一対の高濃度ソース・ドレイン領域の一方の上に設けられた第1のコンタクト孔で前記一方の高濃度ソース・ドレイン領域に接続するストレージ電極、前記ストレージ電極を被覆するキャパシタ絶縁膜および前記キャパシタ絶縁膜を被覆するセルプレート電極を有するキャパシタと、前記セルプレート電極を被覆する第2の絶縁膜の、前記一対の高濃度ソース・ドレイン領域の他方の上に設けられた第2コンタクト孔で前記他方の高濃度ソース・ドレイン領域に接続するビット線とを有するDRAMセルを備えるというものである。

【0015】

【実施例】図1は本発明の第1の実施例を示す断面図である。

【0016】この実施例はp型シリコン基板1の表面部に設けられた素子分離構造体（フィールド酸化膜4）で区画された活性領域でp型シリコン基板1の表面とゲート酸化膜27を介して交差するゲート電極7a、ゲート電極7aおよび素子分離構造体4と自己整合してp型シリコン基板1の設けられた溝Tの底部のp型シリコン基板1領域に設けられた一対の高濃度ソース・ドレイン領域（n<sup>+</sup>型不純物領域8a、8b）および溝Tの側部のp型シリコン基板領域に設けられた低濃度ソース・ドレイン領域（n<sup>-</sup>型不純物領域25a、25b）を有するトランジスタと、前述のトランジスタの設けられたp型シリコン基板を被覆する第1の絶縁膜（SiO<sub>2</sub>膜10）の、一対高濃度ソース・ドレイン領域8a、8bの一方8bの上に設けられた第1のコンタクト孔C1で一方の高濃度ソース・ドレイン領域8bに接続するストレージ電極18を被覆するキャパシタ絶縁膜21およびキャパシタ絶縁膜21を被覆するセルプレート電極22を有するキャパシタと、セルプレート電極22を被覆する第2の絶縁膜（層間絶縁膜23）の、一対の高濃度ソース・ドレイン領域の他方8aの上に設けられた第2のコンタクト孔C2で他方の高濃度ソース・ドレイン領域8aに接続するビット線24とを有するDRAMセルを備えるというものである。

【0017】次に、この実施例の製造方法について説明する。

【0018】まず、図2（a）に示すように、p型シリコン基板1の表面に、酸化シリコン膜2と窒化シリコン

膜3を順次に堆積する。次に、図2（b）に示すように、活性領域を区画するためこの積層膜をパターニングし、熱酸化を行ない、図2（c）に示すように、フィールド酸化膜4を形成する。次に、図2（d）に示すように積層膜を除去する。こうしてフィールド絶縁膜4で活性領域を区画する工程を終る。次に、図2（e）に示すように、全面にポリシリコン層5とSiO<sub>2</sub>膜6を堆積する。

【0019】次にフォトリソ法により図2（f）に示すようにワード線を兼ねるゲート電極7a、7bを形成し、その後ゲート電極上の酸化シリコン膜6及び、フィールド酸化膜4をマスクにしてp型シリコン基板1を0.3μmエッチングして図2（g）に示すように、溝Tを形成する。

【0020】次にリンの回転イオン注入を行い（注入量 $3 \times 10^{13} \text{ cm}^{-2}$ ）、図2（h）に示すように、溝Tの側部にn<sup>-</sup>型不純物領域25a、25b、25cを形成する。

【0021】次にAsをイオン注入し（注入量 $5 \times 10^{15} \text{ cm}^{-2}$ ）、ゲート電極の両側の溝Tの底部に、図3（a）に示すように、n<sup>+</sup>型不純物領域（8a、8b）を自己整合的に形成する。その後、図3（b）に示すように全面にSiO<sub>2</sub>膜10をCVD法により厚さ100nm堆積する。その後n<sup>+</sup>型不純物領域8bが露出する様にSiO<sub>2</sub>膜10をフォトリソ法により選択的にエッチングして図3（c）に示すように、第1のコンタクト孔C1を形成する。

【0022】なお、図3（c）ではゲート電極7a、7b上のSiO<sub>2</sub>膜は煩しいので図示しない。以下同様。

【0023】次に図3（d）に示すように、ストレージ電極となるべきポリシリコン層17をCVDにより形成し露出されたn<sup>+</sup>型不純物領域8bと接触させる。その後フォトリソ法によりポリシリコン層17を所定の形状にパターニングし図3（e）に示すように、ストレージ電極18を形成する。

【0024】それから全面に窒化シリコン（Si<sub>3</sub>N<sub>4</sub>）の薄膜を形成しこのSi<sub>3</sub>N<sub>4</sub>を酸化することにより、図3（f）に示すように、容量膜19を形成する。さらにセルプレート電極となるべき厚さ150nmのポリシリコン膜20をCVD法により形成する。

【0025】次に容量膜19及びポリシリコン膜20をパターニングすることにより、図1に示すように、キャパシタ絶縁膜21及びセルプレート電極22を形成する。その後、従来例と同様に層間絶縁膜23を堆積し、第2のコンタクト孔C2を形成し、ビット線24を形成する。

【0026】こうして、溝Tを設けない場合に比べると、ストレージ電極を長辺方向で2.4μmのものを約0.2μm伸ばしたのと同じ程度の容量値の増大を実現できた。また、トランジスタとして、ゲートオーバーラップ

5

プ型のLDD構造のものをマスク工程を増加することなしに実現できた。すなわち、溝の形成および $n^-$ 型不純物拡散層の形成は、ゲート電極およびフィールド酸化膜をマスクにして自己整合的に行なわれるのでマスク工程の増加はない。また、ゲートオーバーラップ型であるので低濃度ソース・ドレイン構造による寄生抵抗の増大を抑制でき、更にリソグラフィー上の限界よりチャネル長の小さいものを実施できる。こうして短チャネル効果の抑制と容量値の増大を同時に実現できる。従ってDRAMセルの動作の安定と信頼性を改善できる。

【0027】図4は本発明の第2の実施例を示す断面図である。

【0028】この実施例は $n^-$ 型不純物領域25a、25bの内側にp型シリコン基板1より濃度の高いp型不純物領域26を有しているので、ソース・ドレイン間のパンチスルーを防止でき、第1の実施例よりチャネル長を小さくできる利点がある。

【0029】製造方法としては第1の実施例で溝を形成したのち回転イオン注入法によりボロンを打込めばよい。他は同じである。

【0030】

【発明の効果】以上説明したように本発明はDRAMセルのソース・ドレイン領域を半導体基板内に設けた溝部に形成してあるのでその段差分キャパシタの電極面積が増え、メモリ容量が増加するばかりでなく、溝側部に低濃度ソース・ドレイン領域を有しているので、ゲートオーバーラップ型のLDDトランジスタとなり短チャネル効果を抑制できDRAMセルの動作の安定と信頼性を改善できる効果がある。また、ゲート電極及び素子分離構造

6

体と自己整合して溝を形成できるのでほとんど工程の増加には伴わない。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す断面図である。

【図2】第1の実施例の製造方法の説明のため(a)～(h)に分図して示す工程順断面図である。

【図3】図2に対応する工程の次工程の説明のため(a)～(f)に分図して示す工程順断面図である。

【図4】本発明の第2の実施例を示す断面図である。

10 【図5】従来例についてその製造工程に沿って説明するため(a)～(h)に分図して示す工程順断面図である。

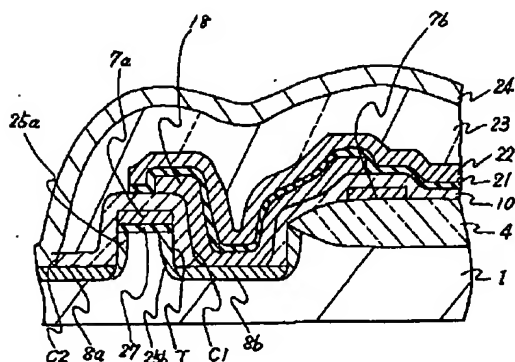
【図6】図5に対応する工程の次工程の説明のため(a)～(f)に分図して示す工程順断面図である。

【図7】図6に対応する工程の次工程の説明のため(a)～(e)に分図して示す工程順断面図である。

【符号の説明】

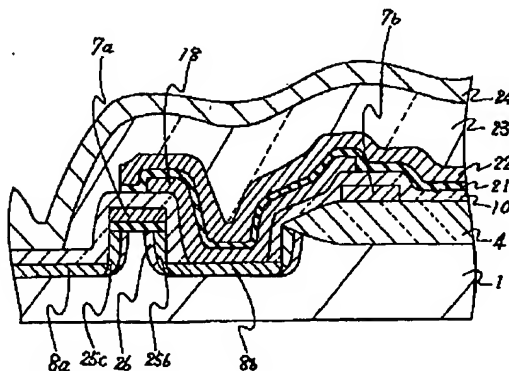
- |           |              |
|-----------|--------------|
| 1         | 半導体基板        |
| 4         | フィールド酸化膜     |
| 7a        | ゲート電極        |
| 7b        | 隣接ワード線       |
| 8a, 8b    | $n^+$ 型不純物領域 |
| 15        | 上部突出部材       |
| 18        | ストレージ電極      |
| 21        | キャパシタ絶縁膜     |
| 22        | セルプレート電極     |
| 23        | 層間絶縁膜        |
| C, C1, C2 | コンタクト孔       |
| 24        | ビット線         |
| 25        | $n^-$ 型不純物領域 |

【図1】

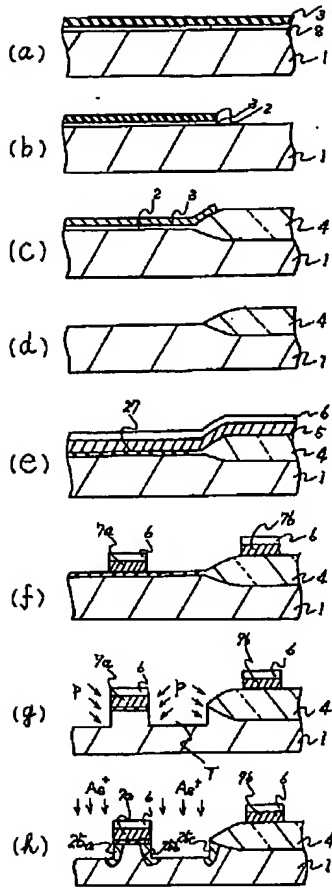


- 1: P型シリコン基板 4: フィールド酸化膜 7a: ゲート電極  
 7b: 隣接ワード線 8a, 8b:  $n^+$ 型不純物領域  
 25a, 25b:  $n^-$ 型不純物領域 18: ストレージ電極  
 21: キャパシタ絶縁膜 22: セルプレート電極 23: 層間絶縁膜  
 24: ビット線

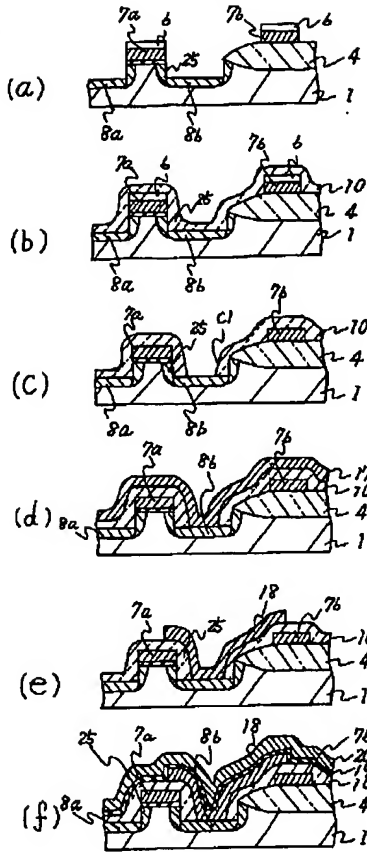
【図4】



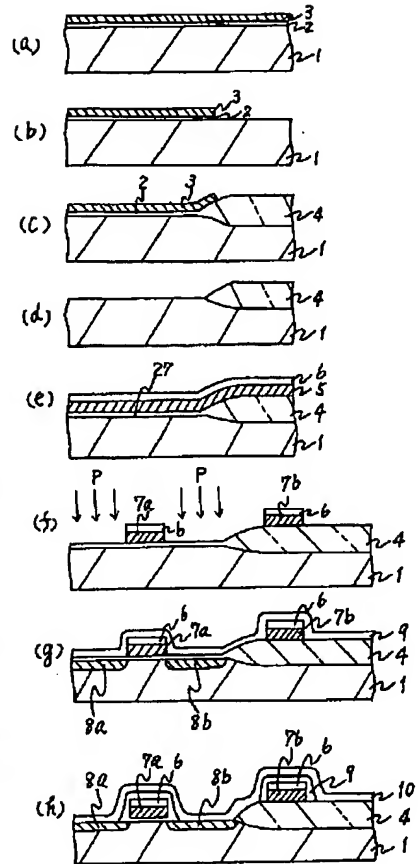
【図2】



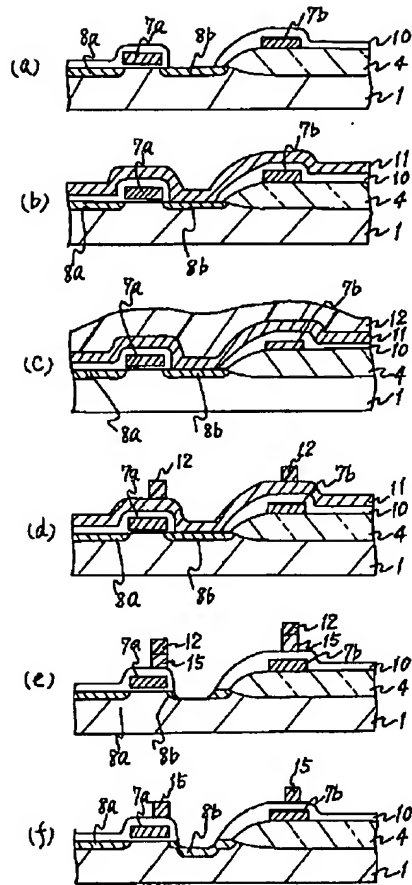
【図3】



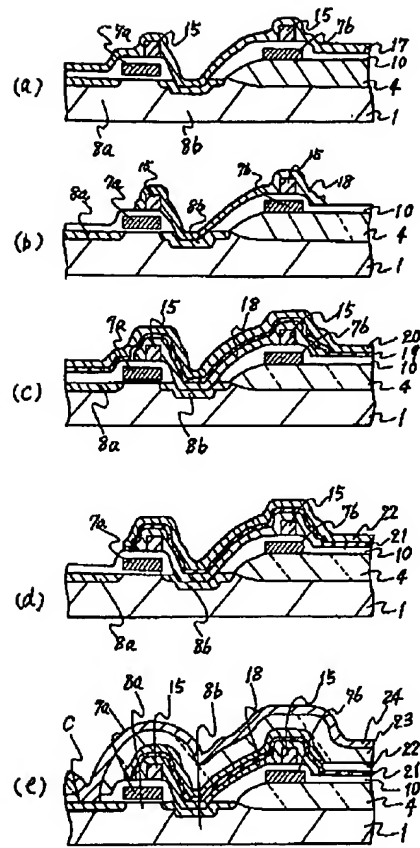
【図5】



【図6】



【図7】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号  
7514-4M

F I

H 01 L 29/78

技術表示箇所

3 0 1 H